

\*\*本系統專利資料僅供參考，不作爲准駁依據，所有資料以經濟部智慧財產局公告爲準 | 中文造字安裝程式：(約1.6M)


00452863 -- 核准公告專利公報資料

訂購此篇專利

第 93130112 號初審引證附件

\*\*以下資料爲公告原始資料，如欲查詢該案異動資訊，請點選權利異動或雜項資料選項\*

## 降低介電薄膜之介電常數的方法與製作低介電孔隙薄膜的方法

專利公告號	00452863 說明書影像 / 圖式影像 / 專利公報影像 / 權利異動 / 雜項資料 / 
卷號	28
期號	25
公告日期	2001/09/01
專利類型	發明
國際專利分類號	H01L 21/205
申請案號	089106482
申請日期	2000/04/07
申請人	晶研科技股份有限公司；新竹市科學工業園區工業東九路五號之二
發明人	李鴻志 鄭光凱
代理人資訊	陳展俊；台北市和平東路二段二〇三號四樓 林聖富；台北市和平東路二段二〇三號四樓
摘要	<p>本發明係有關降低薄膜材料之介電常數之孔隙化製程；利用非溶劑式高壓條件將氣體壓縮成緻密流體或超臨界流體而滲入薄膜表面下層，並利用快速的壓力釋放手段於該薄膜表面形成孔洞。</p>
<input checked="" type="checkbox"/> 申請專利範圍	<p>1.一種用來降低介電薄膜之介電常數的方法，包含下列步驟：</p> <ul style="list-style-type: none"> <li>(a)使一介電薄膜處於一高壓惰性氣體氣氛中；及</li> <li>(b)快速的降低該高壓惰性氣體氣氛的壓力，而在該介電薄膜的表面形成孔洞。</li> </ul>

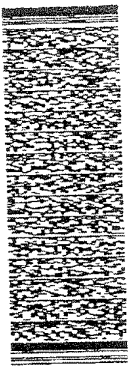
counterpart: US 6,319,858

公告	4.7	案號:	SP106482
類別:	分類: 21/05		

(以上各欄由本局填註)

發明專利說明書 452863

發明名稱	中文	降低介電薄膜之介電常數的方法與製作低介電孔隙薄膜的方法
	英文	METHODS FOR REDUCING A DIELECTRIC CONSTANT OF A DIELECTRIC FILM AND FOR FORMING A LOW DIELECTRIC CONSTANT POROUS FILM
發明人	姓名(中文)	1. 李鴻志 2. 鄭光凱
	姓名(英文)	1. Hong-Ji Lee 2. David Guang-Kai Jeng
發明人	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市科學工業園區工業東九路5號之2一樓 2. 新竹市科學工業園區工業東九路5號之2一樓
申請人	姓名(中文)	1. 晶研科技股份有限公司
	姓名(名稱)(英文)	1. Nano-Architect Research Corporation
申請人	國籍	1. 中華民國
	住、居所(事務所)	1. 新竹市科學工業園區工業東九路5號之2一樓
申請人	代表人姓名(中文)	1. 鄭光凱
	代表人姓名(英文)	1. Nano-Architect Research Corporation



452863

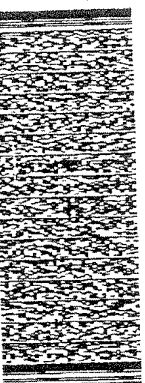
本案已向	國(地區)申請專利	申請日期	案號	主張優先權
有	無	無	無	無
有	無	無	無	無
有	無	無	無	無

四、中文發明摘要 (發明之名稱：降低介電薄膜之介電常數的方法與製作低介電孔隙薄膜的方法)

本發明係有關降低薄膜材料之介電常數之孔隙化製程；利用非溶劑式高壓條件將氣體壓縮成緻密流體或超臨界流體而滲入薄膜表面下層，並利用快速的壓力釋放手段於該薄膜表面形成孔隙。

英文發明摘要 (發明之名稱：METHODS FOR REDUCING A DIELECTRIC CONSTANT OF A DIELECTRIC FILM AND FOR FORMING A LOW DIELECTRIC CONSTANT POROUS FILM)

A non-solvent method for reducing a dielectric constant of a dielectric film by forming a porous layer on the dielectric film. The dielectric film which can be formed on a substrate by spin-coating or CVD is placed in an atmosphere of a high pressure insert gas or supercritical fluid of the insert gas, and the pressure of the atmosphere is rapidly released to form a nanoporous layer on the dielectric film, whereby the dielectric constant thereof is reduced.



五、發明說明 (1)  
[發明領域]

本發明係有關於一種降低一半導體晶片上的一個電薄膜的介電常數的方法；特別是關於一種藉由在該介電薄膜的表面形成孔隙來降低薄膜介電常數的方法。

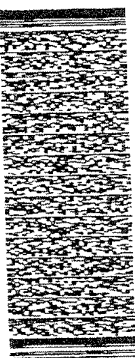
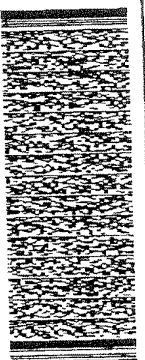
#### [背景及以往技術]

在ULSI元件愈趨複雜及多重金屬導線製程的需求下，最常用於隔絕金屬導線間的介電材料 $\text{SiO}_2$ (介電常數約4.1~4.5)已不符合使用；主要的原因是，隨內層導線之間線距的縮減，兩導線間的電容將隨之增加。以電容公式說明：

$$C = k \epsilon_0 A / d$$

$k$ ：材料介電常數  $\epsilon_0$ ：真空介電常數  
 $A$ ：面積  $d$ ：兩導體間距離

在相同的介電常數條件下，兩導線的距離( $d$ )愈小電容則愈大；影響所及，將增加RC延遲時間(RC delay time；其中 $R$ ：金屬導線電阻， $C$ ：金屬層間電容)而造成元件傳輸速率的衰減。因此隨晶片電路尺寸的縮減，以低介電常數( $k < 4.1$ )材料來控制電容值是最直接的方法。低介電材料在晶片電路中扮演著導線間的電性阻隔、減少交談(crosstalk)效應及降低耦合電容量的角色；除可縮小RC延遲時間、提升傳輸速率外，對於改善耦合雜訊有著相當大的助益。目前一些有機材料或無機材料都可將介電常數降低；當然，理想的最低介電常數為空氣的1.0。因此，



## 五、發明說明 (2)

在目前的研究上，材料介電常數的改善亦朝1.0方向進行。依照材料的化學屬性，我們可將之分為無機低介電材料與有機低介電材料兩大類。無機材料大致上以化學氣相沈積法(CVD)進行成長，例如摻雜氟、碳、或氫的二氧化矽。由於該類製程設備與目前的生產設備類似，因此發展最為迅速，但無機介電材料介電常數變化有限，其值約介於2.5至3.7之間，不像有機材料介電常數常因鍵結原子的不同而有大幅的下降程度。有機材料主要以旋轉塗佈(Spin on glass, SOG)方式進行成膜程序，介電常數(k $\leq$ 2)材料的不同而約介於2-3.7之間。至於更低介電常數(k $\leq$ 1)的材料製作，則是利用成膜溶劑的揮發或溶解膜內摻混物而形成的孔隙結構來達成。依據理想電容值1.0的目標追求，孔隙型的低介電材料有著令人期待的發展潛力。

USP5, 470, 802、USP5, 494, 858、USP5, 103, 288、USP5, 548, 159、USP5, 561, 318、USP5, 569, 058、USP5, 661, 344、USP5, 747, 880、USP5, 750, 415、USP5, 804, 508等專利有著類似的孔隙材料製作程序；亦即控制薄膜中所含溶劑之不同揮發程度來製作薄膜孔隙。以USP5, 494, 858為例，首先，依1:3:1:0.0007的莫耳比率將TEOS (tetraethylorthosilicate)、 $C_2H_5OH$ 、 $H_2O$ 和HCl在60°C下攪拌混合1.5小時。所得溶液加入0.05 M的 $NH_4OH$ 後，須立即利用旋轉塗佈機將溶液塗佈於晶片上； $NH_4OH$ 的加入會加快溶液的凝膠速率(gelation rate)，一般添加 $NH_4OH$ 的比率是溶液體積的1/10。塗有凝膠薄膜的晶片

## 五、發明說明 (3)

凝膠熱化(agging)；待熱化完成，利用壓力變化將薄膜內之溶劑驅離，以形成孔隙薄膜。工作壓力可小於一大氣壓，使溶劑由液態變氣態而留下孔隙；亦可成壓縮氣體而移動狀態或在超臨界條件的高壓下，使溶劑成壓縮氣體而移動除。這些步驟皆要小心控制，以避免薄膜尺寸發生過度收縮現象(shrinkage effect)。由上述方法所得薄膜之孔隙體積比率、直徑、分佈將隨反應條件、溶劑種類而有差異；綜合言之，孔隙體積約佔20%~95%，最佳者>75%；平均直徑約小於80nm，最佳化者介於2nm~25nm；當孔隙佔體積的80%時，材料介電常數約小於1.5。由於薄膜內孔隙所佔體積比率愈大，對於表面黏著及耐熱處理性質就愈差，因此為了符合晶片一些後處理程序的要求，一般孔隙薄膜的上下層會利用CVD鍍上一層黏著層，如 $\text{SiO}_2$ ；除了有增強黏著效果外，亦有阻擋孔隙內材料吸水或原子的遷移移出。

除了上述利用溶劑揮發製作孔隙薄膜外，尚有移除薄膜內摻混物而製得孔隙的方法。以USP5,744,399為例；利用 $\text{SiO}_2$ 成膜的過程中混入 $\text{C}_{60}$ 或 $\text{C}_{70}$ 等中空環聚衍生物，然後利用溶劑溶解 $\text{C}_{60}$ ，或利用 $\text{O}_2$ 或 $\text{O}_3$ 電漿將 $\text{C}_{60}$ 氧化成 $\text{CO}_2$ 而形成孔隙。

USP5, 785, 787 則利用 UV 可分解或可低溫加熱昇華的染料(如: Anthraquinone、低融點 Waxes 等)來當作聚四氟乙烯(polytetrafluoroethylene, PTFE)薄膜的混合物。所

## 五、發明說明 (4)

製得的70%孔隙PTFE薄膜，使原本的介電常數從1.9降低至1.2。當然，在應用方面，這類多孔結構的上下需有黏著層與基材作良好的接觸否則極易剝離。

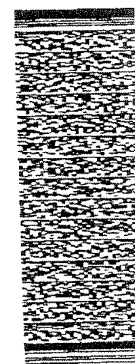
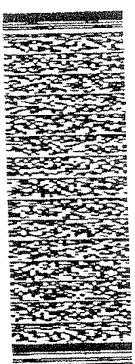
適用於半導體製程之低介電孔隙薄膜的製作，不脫上述的兩類方法：溶劑揮發或薄膜內滲混物的移除。對於前者所引起之孔隙尺寸收縮、與基材黏著效果差的序中易滲出等問題，也相繼地提出。著眼於這些問題的解決，我們將在此提出以非溶劑式來形成低介電孔隙薄膜的方法。

## [發明目的及所欲解決之問題]

本發明的目的是發展一套非溶劑式製作低介電孔隙薄膜的方法。在此方法中，將既往的低介電孔隙薄膜製作程序所引起的有機溶劑殘留的問題、滲混物遷移表面的問題、孔隙薄膜黏著性低的問題、及溶劑揮發過程所產生尺寸收縮的問題而提出解決方案者。

## [解決問題之手段]

圖1a是本發明所發展之非溶劑式製作低介電孔隙薄膜的方法的主要步驟A至C的流程圖。圖1b顯示一半導體基材料於圖1a流程的各步驟時的剖面示意圖。於步驟A中，一介電薄膜被形成於一半導體基材料上，例如藉由旋轉塗佈來形成一低介電有機高分子薄膜或利用CVD來沉積一低介電無

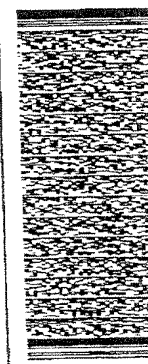
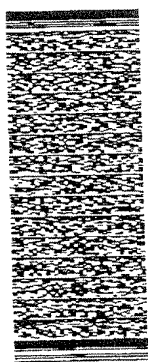


## 五、發明說明 (5)

機材料薄膜。於步驟B中，將該形成有介電薄膜的半導體基材料放入一高壓槽內並導入一高壓惰性氣體或該惰性氣體超臨界流體，其中高壓惰性氣體或其超臨界流體將快速滲入該介電薄膜的表面。於一段時間後，利用對高壓槽的快速壓力釋放手段而於該介電薄膜的表面形成孔洞。基於高壓惰性氣體或其超臨界流體的滲透能力，每一孔洞連續且緻密地在該介電薄膜的表面上形成，而不會破壞該介電薄膜與基材間的黏著。若要增加該介電薄膜的單位體積的孔隙比率，可重複地進行步驟A至步驟C直至所需的介電薄膜的厚度。

適用於本發明中的惰性氣體的選擇以選用不與該介電薄膜反應的氣體為原則，例如：二氧化碳( $\text{CO}_2$ :  $T_c=31.1^\circ\text{C}$ ,  $P_c=1070\text{ psi}$ )、氮氣( $\text{N}_2$ :  $T_c=-147^\circ\text{C}$ ,  $P_c=491.7\text{ psi}$ )、氫氣( $\text{He}$ :  $T_c=-269.9^\circ\text{C}$ ,  $P_c=16.53\text{ psi}$ )、氬氣( $\text{Ar}$ :  $T_c=-122.4^\circ\text{C}$ ,  $P_c=706.3\text{ psi}$ )等；至於其他類氣體如乙烷( $\text{C}_2\text{H}_6$ :  $T_c=-32.2^\circ\text{C}$ ,  $P_c=708.3\text{ psi}$ )、丙烷( $\text{C}_3\text{H}_8$ :  $T_c=96.7^\circ\text{C}$ ,  $P_c=615.8\text{ psi}$ )、乙烷( $\text{C}_2\text{H}_4$ :  $T_c=9.9^\circ\text{C}$ ,  $P_c=742.1\text{ psi}$ )、丙烷( $\text{C}_3\text{H}_6$ :  $T_c=91.9^\circ\text{C}$ ,  $P_c=667.2\text{ psi}$ )、或上述氣體的混合亦可使用。

本發明中的高壓惰性氣體在擴散進入薄膜表面下層後，經快速的壓力釋放，(合適的降壓壓力變化範圍：5 psi/sec-110 psi/sec)，高壓惰性氣體會因急速的壓力降低，造成氣體膨脹而在該介電薄膜表面造成孔洞；此種利用氣體熵(entrophy,  $\Delta S$ )變化而生成的能量來形成孔洞的



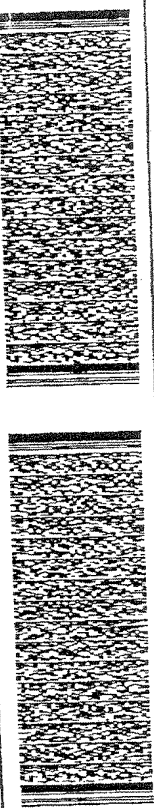
## 五、發明說明 (6)

方法有下列幾點好處。首先，利用高壓條件下的緻密氣體或介於氣、液兩相之超臨界流體來製作孔隙介電薄膜並無溶劑污染問題；同時，相較於溶劑-凝膠(sol-gel)式的低介電孔隙薄膜製作法，本發明簡化了薄膜凝膠化、熱化、及溶劑揮發等操作條件及複雜程序。相對地，由於本發明的低介電孔隙薄膜僅在薄膜底層與基材的黏著能力。此外，所以不會破壞原本在薄膜底層直徑先成長一具對應薄膜一想要度的孔隙比率，可依照孔隙直徑處理、快速釋壓、及長膜製程步驟直至所需的薄膜厚度即可，如圖一描述。至於其他如溶劑揮發所造成尺寸收縮及後處理過程中薄膜內滲混物滲出表面的問題當然也不會發生。

於本發明中，薄膜的選用可以利用CVD所沉積的低介電無機材料薄膜，如： $\text{SiOF}$ 、 $\alpha\text{-CF}$ 、 $\text{SiOC}$ 等；亦可以利用旋轉塗佈所形成的低介電有機高分子薄膜，如：聚醯亞胺(polyimides)、PTFE等。為說明本發明優越的表面孔隙製造能力，將選用由 $\text{SiH}_4 + \text{N}_2 + \text{CF}_4$ 等氣體利用CVD所沉積的Si-O-C-F低介電薄膜作為實施例。

本發明的高壓薄膜處理程序在不同的壓力釋放速率下會產生不同的孔隙直徑分佈，每秒壓力釋放速率愈大者，較大直徑的孔隙的比率將變大；經過當地控制壓力釋放速率，可得較佳的孔隙大小，直徑約介於5 nm~20 nm範圍。

[效果]



## 五、發明說明 (7)

本發明所發展的高壓非溶劑式孔隙製作法適用於目前各類之低介電常數( $k < 4.1$ )材料薄膜的孔隙化。以2000埃之Si-O-C-F薄膜為例，經氬氣超臨界條件所形成的孔隙其直徑範圍為5 nm~80 nm，其中主要的孔隙直徑範圍為5 nm~50 nm，較佳者為5 nm~20 nm。原薄膜的k值為2.5~2.8，經高壓孔隙化後，k值降低，約介於2.2~2.6；若增加薄膜體積之孔隙比率，k值將可再降低。

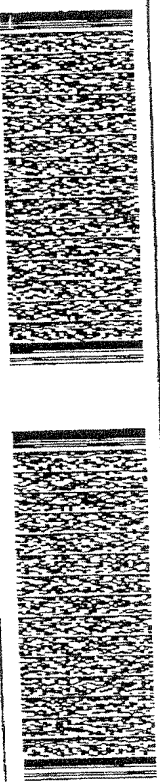
圖2是一適用於實施本發明方法的一多倉串接加工(Multi-chamber cluster tool)系統10之示意圖，其中包含一儲存有高壓惰性氣體的蓄壓槽18，與該蓄壓槽18連通的一高壓槽12，及接續於該高壓槽12可進行CVD或蝕刻的反應腔14。一機械手臂16被搭配使用來簡化半導體晶片的傳輸。

本發明將可藉以下的實施例被進一步瞭解，其僅作為說明之用，而非用於限制本發明範圍。

## [實施例 1]

啟動壓縮機，將超高純度氬氣預先增壓儲存於蓄壓槽中，蓄壓槽壓力設定成2500 psi。

將以CVD方式鍍有2000埃的Si-O-C-F介電薄膜的晶片放入體積為一公升、可耐壓至10,000 psi的不銹鋼壓力槽中；加熱至400°C，並瞬間將蓄壓槽之氬氣導入反應槽中，控制壓力至1000 psi。待15分鐘後，以每秒60 psi的速率釋放反應槽內的壓力，所造成的孔隙直徑範圍為5 nm~70 nm，



## 五、發明說明(8)

其中主要的孔隙直徑範圍為5 nm~40 nm。

## [實施例 2]

反應進行的程序如實施例1所述，其中反應壓力1000psi溫度40°C，反應時間30分鐘，以每秒60 psi的速率釋放反應槽內的壓力，孔隙直徑範圍為5 nm~80 nm，其中主要的孔隙直徑範圍為5 nm~60 nm。

## [實施例 3]

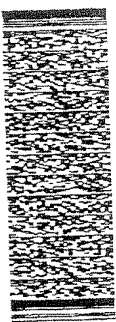
反應進行的程序如實施例1所述，其中反應壓力1600psi溫度40°C，反應時間30分鐘，以每秒15 psi的速率釋放反應槽內的壓力，孔隙直徑範圍為5 nm~70 nm，其中主要的孔隙直徑範圍為5 nm~50 nm。

## [實施例 4]

反應進行的程序如實施例1所述，其中反應壓力1600psi溫度40°C，反應時間30分鐘，以每秒30 psi的速率釋放反應槽內的壓力，孔隙直徑範圍為5 nm~80 nm，其中主要的孔隙直徑範圍為5 nm~60 nm。

## [實施例 5]

反應進行的程序如實施例1所述，其中反應壓力1600psi溫度40°C，反應時間30分鐘，以每秒60 psi的速率釋放反應槽內的壓力，孔隙直徑範圍為5 nm~90 nm，其



## 五、發明說明(9)

中主要的孔隙直徑範圍為10 nm~60 nm。

## [實施例 6]

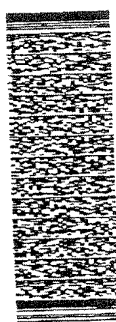
反應進行的程序如實施例1所述，其中反應壓力1300psi溫度40°C，反應時間30分鐘，以每秒30 psi的速率釋放反應槽內的壓力，孔隙直徑範圍為5 nm~80 nm，其中主要的孔隙直徑範圍為5 nm~50 nm。

## [實施例 7]

反應進行的程序如實施例1所述，其中反應壓力1300psi溫度40°C，反應時間15分鐘，以每秒30 psi的速率釋放反應槽內的壓力，孔隙直徑範圍為5 nm~80 nm，其中主要的孔隙直徑範圍為5 nm~40 nm。

## [實施例 8]

反應進行的程序如實施例1所述，其中反應壓力1300psi溫度40°C，反應時間15分鐘，以每秒60 psi的速率釋放反應槽內的壓力，孔隙直徑範圍為5 nm~80 nm，其中主要的孔隙直徑範圍為5 nm~50 nm。



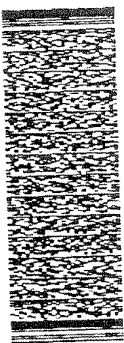
## 圖式簡單說明

圖1a是本發明所發展之非溶劑式製作低介電孔隙薄膜的方法的主要步驟A至C的流程圖。

圖1b顯示一半導體基材於圖1a流程的各步驟時的剖面示意圖。

圖2是一適用於實施本發明方法之一多艙串接加工(Multi-chamber cluster tool)系統之示意圖。

- 10.. 多艙串接加工系統
- 12.. 高壓槽
- 14.. 進行CVD或蝕刻的反應槽
- 16.. 機械手臂
- 18.. 蓄壓槽



## 六、申請專利範圍

1. 一種用來降低介電薄膜之介電常數的方法，包含下列步驟：

(a) 使一介電薄膜處於一高壓惰性氣體氣氛中；及  
(b) 快速的降低該高壓惰性氣體氣氛的壓力，而在該介電薄膜的表面形成孔洞。

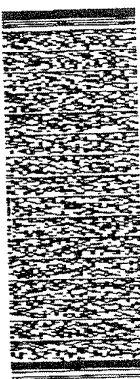
2. 如申請專利範圍第1項的方法，其中的惰性氣體為一不與薄膜反應的氣體。

3. 如申請專利範圍第1項的方法，其中的惰性氣體為二氧化碳、氮氣、氬氣、氫氣、乙烷、丙烷、乙炔、丙烯、或其等之混合氣體。

4. 如申請專利範圍第1項的方法，其中的介電薄膜為利用CVD所沈積的低介電有機材料薄膜，或是利用旋轉塗佈所形成的低介電有機高分子薄膜。

5. 如申請專利範圍第4項的方法，其中的低介電有機材料薄膜為SiOF、 $\alpha$ -CF<sub>3</sub>、或SiOC。

6. 如申請專利範圍第4項的方法，其中的低介電有機高分子薄膜為聚醯亞胺(polyimides)或聚四氟乙烯(PTFE)。





## 六、申請專利範圍

7. 如申請專利範圍第1項的方法，其中該高壓惰性氣體氣具有一接近或超過該惰性氣體之臨界壓力的壓力；

8. 如申請專利範圍第7項的方法，其中該高壓惰性氣體氣具有一接近或超過該惰性氣體之臨界溫度的溫度。

9. 如申請專利範圍第7項的方法，其中該高壓惰性氣體氣為一起臨界流體。

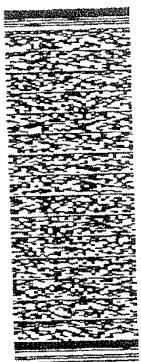
10. 如申請專利範圍第1項的方法，其中於步驟b)以介於5 psi/sec至110 psi/sec之間的一降壓速率來降低該高壓惰性氣體氣體的壓力。

11. 如申請專利範圍第1項的方法，其中的孔洞主要包含直徑範圍介於5nm~80nm的孔洞。

12. 如申請專利範圍第11項的方法，其中的孔洞主要包含直徑範圍介於5nm~50nm的孔洞。

13. 如申請專利範圍第1項的方法，進一步包含重複n次步驟a)及b)，其中n為大於1的整數。

14. 一種製作低介電孔障薄膜的方法，包含下列步驟：



## 六、申請專利範圍

A) 於一半導體基材上形成一介電薄膜；  
B) 將該形成有介電薄膜的半導體基材放入一高壓惰性氣體中；及

C) 快速釋放該氬氣的壓力，而於該介電薄膜的表面形成孔洞。

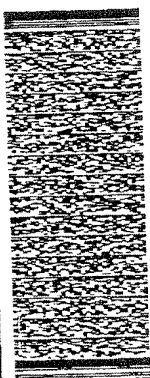
15. 如申請專利範圍第14項的方法，進一步包含重複地進行步驟A至步驟C直至一所需的介電薄膜的厚度被獲得。

16. 如申請專利範圍第14項的方法，其中於步驟B)中該形成有介電薄膜的半導體基材被放入一高壓槽內，並導入該高壓惰性氣體至該高壓槽內。

17. 如申請專利範圍第14項的方法，其中的惰性氣體為一不與薄膜反應的氣體。

18. 如申請專利範圍第14項的方法，其中的惰性氣體為二氧化碳、氬氣、氦氣、氫氣、乙烷、丙烷、乙烯、丙烯、或其等之混合氣體。

19. 如申請專利範圍第14項的方法，其中的介電薄膜為利用CVD所沉積的低介電有機材料薄膜，或是利用旋轉塗佈所形成的低介電有機高分子薄膜。



## 六、申請專利範圍

20. 如申請專利範圍第19項的方法，其中的低介電無機材料薄膜為SiOF、 $\alpha$ -CF、或SiOC。

21. 如申請專利範圍第19項的方法，其中的低介電有機高分子薄膜為聚醯亞胺(polyimides)或聚四氫乙烯(PTFE)。

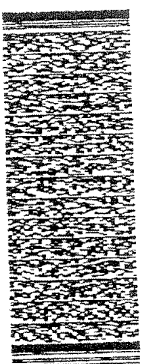
22. 如申請專利範圍第14項的方法，其中該高壓惰性氣體氣氮具有一接近或超過該惰性氣體臨界壓力的壓力；

23. 如申請專利範圍第22項的方法，其中該高壓惰性氣體氣氮具有一接近或超過該惰性氣體臨界溫度的溫度。

24. 如申請專利範圍第23項的方法，其中該高壓惰性氣體氣氮為一起臨界氣體。

25. 如申請專利範圍第14項的方法，其中於步驟C)以介於5 psi/sec至110 psi/sec之間的一降壓速率來降低該氮氣的壓力。

26. 如申請專利範圍第14項的方法，其中的孔洞主要包含直徑範圍介於5nm~80nm的孔洞。



## 六、申請專利範圍

27. 如申請專利範圍第26項的方法，其中的孔洞主要包含直徑範圍介於5nm~50nm的孔洞。



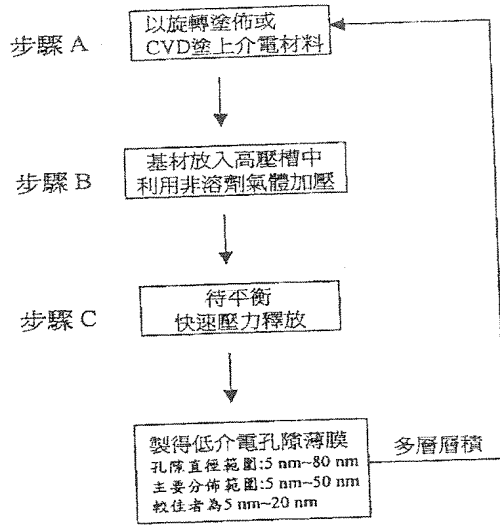


圖 1a

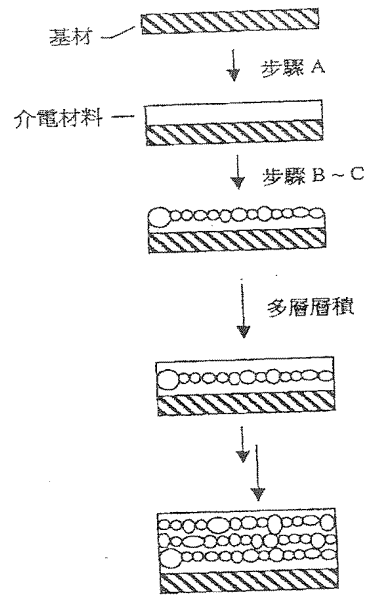


圖 1b

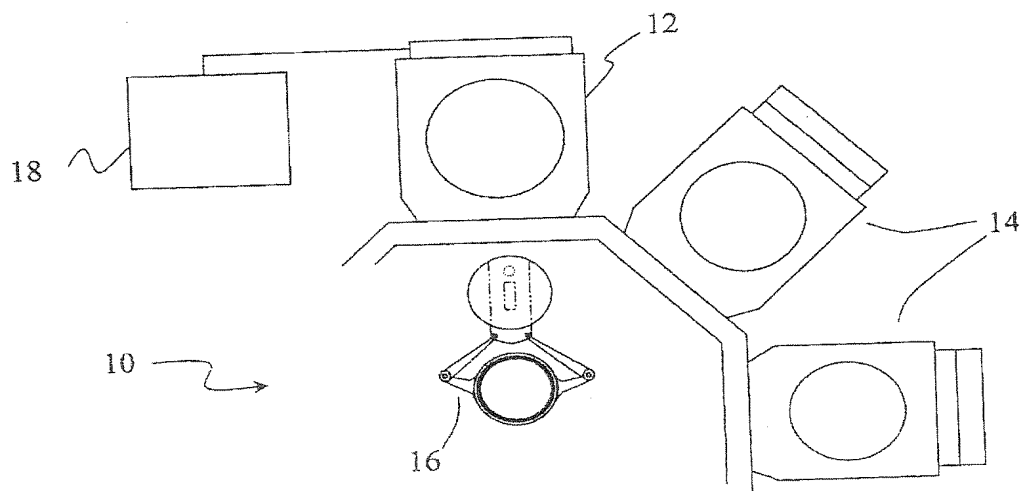


圖 2